

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G01R 31/26 (2006.01)

G01R 31/00 (2006.01)

G08C 19/16 (2006.01)



[12] 发明专利说明书

专利号 ZL 200410062870.8

[45] 授权公告日 2008 年 4 月 2 日

[11] 授权公告号 CN 100378464C

[22] 申请日 2004.7.2

[21] 申请号 200410062870.8

[30] 优先权

[32] 2003.8.8 [33] US [31] 60/493,355

[32] 2004.3.29 [33] US [31] 10/810,645

[73] 专利权人 财团法人工业技术研究院

地址 台湾省新竹县竹东镇中兴路四段
195 号

[72] 发明人 柯明道 张智毅 侯春麟

[56] 参考文献

UA6541981B2 2003.4.1

US6246242B1 2001.6.12

US6396298B1 2002.5.28

US5376879A 1994.12.27

审查员 徐 红

[74] 专利代理机构 北京纪凯知识产权代理有限公司

代理人 程 伟

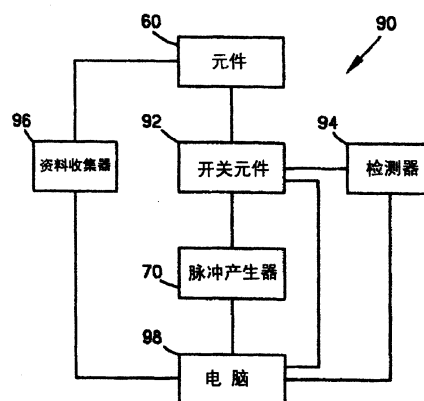
权利要求书 5 页 说明书 6 页 附图 3 页

[54] 发明名称

自动传输线脉冲系统

[57] 摘要

本发明提供一种测量半导体元件的静电放电 (ESD) 特性的自动传输线脉冲系统, 包括至少一个产生 ESD 级脉冲的脉冲产生器; 半导体元件的第一端点用以接收来自该至少一个脉冲产生器的第一 ESD 级脉冲; 半导体元件的第二端点用以相对于第一端点接地; 半导体元件的至少一个第三端点用以接收来自该至少一个脉冲产生器的第二 ESD 级脉冲; 以及一个资料收集器用以收集半导体元件的 ESD 特性, 在上述第一 ESD 级脉冲到达第一端点的同时, 上述第二 ESD 级脉冲到达上述至少一个第三端点。以获得更多的有关 ESD 防护元件的 ESD 特性资料。



1. 一种测量半导体元件的静电放电 ESD 特性的系统, 包括:

至少一个产生 ESD 级脉冲的脉冲产生器;

半导体元件的第一端点用以接收来自该至少一个脉冲产生器的第一 ESD 级脉冲;

半导体元件的第二端点用以相对于第一端点接地;

半导体元件的至少一个第三端点用以接收来自该至少一个脉冲产生器的第二 ESD 级脉冲; 以及

一个资料收集器用以收集半导体元件的 ESD 特性,

在上述第一 ESD 级脉冲到达第一端点的同时, 上述第二 ESD 级脉冲到达上述至少一个第三端点。

2. 如权利要求 1 所述的系统, 其特征在于其中的半导体元件包括金氧半 MOS 晶体管、硅控整流器 SCR、低电压触发的 SCR 或 LVTSCR、厚层氧化物元件 FOD 或双载子接面晶体 BJT。

3. 如权利要求 1 所述的系统, 其特征在于该至少一个脉冲产生器包括一个传输线脉冲 TLP 产生器来产生该等 ESD 级脉冲。

4. 如权利要求 1 所述的系统, 其特征在于该至少一个脉冲产生器包括一个传输线路脉冲 TLP 产生器来产生第一 ESD 级脉冲。

5. 如权利要求 1 所述的系统, 其特征在于该至少一个脉冲产生器包括一个偏压源来产生第二 ESD 级脉冲。

6. 如权利要求 2 所述的系统, 其特征在于 MOS 晶体管包括一个源极或汲极来接收第一 ESD 级脉冲, 未接受到第一 ESD 级脉冲之另一极则相对接地, 以及至少一个闸极或基极来接收第二 ESD 级脉冲。

7. 如权利要求 2 所述的系统, 其特征在于 SCR 或 LVTSCR 包括一个阳极或阴极来接收第一 ESD 级脉冲, 未接受到第一 ESD 级脉冲的另一极则相对接地, 以及至少一个基极或半导体井区来接收第二 ESD 级脉冲。

8. 如权利要求 2 所述的系统, 其特征在于 LVTSCR 包括一个闸极来接收第二 ESD 级脉冲。

9. 如权利要求 2 所述的系统, 其特征在于 FOD 或 BJT 包括一个射极或集电极来接收第一 ESD 级脉冲, 未接受到第一 ESD 级脉冲的另一极则相对接地, 以及一个基极来接收第二 ESD 级脉冲。

10. 如权利要求 1 所述的系统, 其特征在于另包括一个检测器来检测半导体元件之漏电流。

11. 如权利要求 10 所述的系统, 其特征在于另包括一个连接到该至少一个脉冲产生器与检测器的开关元件以于该至少一个脉冲产生器与检测器之间做连接的切换。

12. 一种测量多端点元件的静电放电 ESD 特性的系统, 其特征在于包括:

一个第一脉冲产生器用以提供第一 ESD 级脉冲;

一个第二脉冲产生器用以提供第二 ESD 级脉冲;

多端点元件的第一端点连接至第一脉冲产生器以接收第一 ESD 级脉冲;

多端点元件的第二端点相对于第一端点接地;

多端点元件的第三端点连接至第二脉冲产生器以接收第二 ESD 级脉冲; 以及一个检测器用以检测多端点元件的漏电流, 其中当检测器检测出多端点元件有不正常漏电流时决定该多端点元件的 ESD 特性,

在上述第一 ESD 级脉冲到达第一端点的同时, 上述第二 ESD 级脉冲到达上述第三端点。

13. 如权利要求 12 所述的系统, 其特征在于第一及第二脉冲产生器包括一个传输线脉冲 TLP 产生器来产生第一及第二 ESD 级脉冲。

14. 如权利要求 12 所述的系统, 其特征在于第一脉冲产生器包括一个 TLP 产生器来产生第一 ESD 级脉冲。

15. 如权利要求 12 所述的系统, 其特征在于第二脉冲产生器包括一个偏压源来产生第二 ESD 级脉冲。

16. 如权利要求 12 所述的系统, 其特征在于另包括一个连接至第一、第二脉冲产生器与检测器的开关元件以切换多端点元件对第一、第二脉冲产生器与检测器的连接。

17. 如权利要求 12 所述的系统, 其特征在于多端点元件包括金氧半 MOS 晶体管、硅控整流器 SCR、低电压触发之 SCR 或 LVTSCR、厚层氧化物组件

FOD 或双载子接面晶体管 BJT。

18. 一种测量半导体元件的静电放电 ESD 特性的方法，其特征在于包括：
提供至少一个脉冲产生器来产生 ESD 级脉冲；

确定半导体元件的第一端点；

确定半导体元件的第二端点；

确定半导体元件的第三端点；

提供一个第一 ESD 级脉冲至半导体元件的第一或第二端点，未接受到第一 ESD 级脉冲的另一端点则相对接地；以及

提供一个第二 ESD 级脉冲至半导体元件的至少该第三端点，

在上述第一 ESD 级脉冲到达第一或第二端点的同时，上述第二 ESD 级脉冲到达该第三端点。

19. 如权利要求 18 所述的方法，其特征在于另包括提供一个传输线脉冲 TLP 产生器来产生第一与第二 ESD 级脉冲。

20. 如权利要求 18 所述的方法，其特征在于另包括提供一个 TLP 产生器来产生第一 ESD 级脉冲。

21. 如权利要求 18 所述的方法，其特征在于另包括提供一个偏压源来产生第二 ESD 级脉冲。

22. 如权利要求 18 所述的方法，其特征在于另包括提供金氧半 MOS 晶体管、硅控整流器 SCR、低电压触发的 SCR 或 LVTSCR、厚层氧化物组件 FOD 或双载子接面晶体管 BJT 来作为该半导体元件。

23. 如权利要求 22 所述的方法，其特征在于另包括提供第一 ESD 级脉冲至 MOS 晶体管的源极或汲极，未接受到第一 ESD 级脉冲的另一极则相对接地，以及提供第二 ESD 级脉冲至 MOS 晶体管的闸极或基极的至少其中之一。

24. 如权利要求 22 所述的方法，其特征在于另包括提供第一 ESD 级脉冲至 SCR 的阳极或阴极，未接受到第一 ESD 级脉冲的另一极则相对接地，以及提供第二 ESD 级脉冲至 SCR 的基极或半导体井区的至少其中之一。

25. 如权利要求 22 所述的方法，其特征在于另包括提供第一 ESD 级脉冲至 LVTSCR 阳极或阴极，未接受到第一 ESD 级脉冲的另一极则相对接地，以及提供第二 ESD 级脉冲至 LVTSCR 的基极或半导体井区的至少其中之一。

26. 如权利要求 22 所述的方法, 其特征在于另包括提供第一 ESD 级脉冲至 FOD 的射极或集极, 未接受到第一 ESD 级脉冲的另一极则相对接地, 以及提供第二 ESD 级脉冲至 FOD 的基极。

27. 如权利要求 22 所述的方法, 其特征在于另包括提供第一 ESD 级脉冲至 BJT 的射极或集极, 未接受到第一 ESD 级脉冲的另一极则相对接地, 以及提供第二 ESD 级脉冲至 BJT 的基极。

28. 如权利要求 18 所述的方法, 其特征在于另包括提供一个资料收集器来收集有关半导体元件的 ESD 特性的资料。

29. 如权利要求 18 所述的方法, 其特征在于另包括提供一个检测器来检测半导体元件的漏电流。

30. 如权利要求 29 所述的方法, 其特征在于另包括提供一个连接至该至少一个脉冲产生器与检测器的开关元件以切换半导体元件对该至少一个脉冲产生器与检测器的连接。

31. 一种静电放电 ESD 测试方法, 其特征在于包括:

提供一个多端点元件;

产生至少一个 ESD 级脉冲;

将该至少一个 ESD 级脉冲的第一 ESD 级脉冲提供至多端点元件的第一或第二端点, 未接受到第一 ESD 级脉冲的另一端点则相对接地;

将该至少一个 ESD 级脉冲的第二 ESD 级脉冲提供至多端点元件的至少一个第三端点;

于第一与第二 ESD 级脉冲作用下收集多端点元件的 ESD 特性: 以及检测多端点元件是否有不正常漏电流,

在上述第一 ESD 级脉冲到达第一端点的同时, 上述第二 ESD 级脉冲到达上述至少一个第三端点。

32. 如权利要求 31 所述的方法, 其特征在于另包括提供金氧半 MOS 晶体管、硅控整流器 SCR、低电压触发的 SCR 或 LVTSCR、厚层氧化物组件 FOD 或双载子接面晶体管 BJD 来作为多端点元件。

33. 如权利要求 31 所述的方法, 其特征在于另包括在将第一 ESD 级脉冲提供至第一或第二端点之前, 先将第二 ESD 级脉冲提供至该至少一个第三端

点。

34. 如权利要求 31 所述的方法, 其特征在于另包括在提供第一或第二 ESD 级脉冲之前, 先检测多端点元件是否有不正常漏电流。

35. 如权利要求 34 所述的方法, 其特征在于另包括以一个传输线脉冲 TLP 产生器来产生第一与第二 ESD 级脉冲。

自动传输线脉冲系统

技术领域

本发明有关半导体元件的电气特性的测量。详言之，本发明系有关测量半导体元件的静电放电 ESD 特性的系统及方法。

背景技术

半导体集成电路(IC)一般而言皆容易受到静电放电(ESD)的影响而可能遭破坏或损毁。

所谓的 ESD 是指在短瞬间因电流(正或负极性)的放电而使大量电流流入 IC 的现象。此种大电流的发生有许多原因，例如是因人体或机器所导致，分别称为人体模式(HBM)与机器模式(MM)。IC 在制造、运送或处理时特别容易受到 HBM 及 MM 的影响。

以互补式金氧半(CMOS)制程来备制的习知 ESD 防护元件通常包括某些型式的 ESD 防护元件，例如 NMOS/PMOS 晶体管、硅控整流器(SCR)、厚层氧化物元件(FOD)及寄生式垂直/横向接面晶体管(BJT)等。这些 ESD 防护元件在 ESD 发生时，可通过由 ESD 检测电路将部分 ESD 脉冲的能量耦合至 ESD 防护元件的闸极或基极来予以开启。图 1A、1B 所示为使用闸极或基极驱动技术的习知 ESD 防护电路结构的电路图，是具有 ESD 防护元件与 ESD 检测电路的电路结构的范例。

图 1A 为使用闸极驱动技术的习知 ESD 防护电路 10 的电路图。请参阅图 1A，电路 10 包括一个垫片 12、一个 ESD 检测电路 14、一个作为 ESD 防护元件的 NMOS 晶体管 16、以及 IC (未标号)之内部电路 18。作为 ESD 防护元件的晶体管 16 包括闸极 16-2、汲极 16-4、源极 16-6 与基极 16-8。闸极 16-2 连接至 ESD 检测电路 14。汲极 16-4 连接在垫片 12 与内部电路 18 之间。源极 16-6 与基极 16-8 则连接至地电位或参考电压 VSS。当有正极性 ESD 出现在垫片 12 时，ESD 脉冲的部分能量由 ESD 检测电路 14 耦合至闸极 16-2。作为 ESD 防护元件

的晶体管 16 于是开启而将 ESD 电流由垫片 12 排放至 VSS 电源端。

图 1B 为使用基极触发技术的习知 ESD 防护电路结构 20 的电路图。请参阅图 1B，电路结构 20 包括一个垫片 22、ESD 检测电路 24、作为 ESD 防护元件的 NMOS 晶体管 26、以及 IC(未标号)的内部电路 28。ESD 防护元件 26 包括闸极 26-2、汲极 26-4、源极 26-6 与基极 26-8。闸极 26-2 与源极 26-6 连接至地电位或 VSS。基极 26-8 连接至 ESD 检测电路 24。汲极 26-4 则连接在垫片 22 与内部电路 28 之间。当有正极性 ESD 脉冲出现在垫片 22 时，ESD 检测电路 24 将部份 ESD 脉冲的能量耦合至基极 26-8。ESD 防护元件 26 中的寄生式横向 npn 双载子晶体管 30 便开启以将 ESD 电流由垫片 22 排放至 VSS 电源端。

在设计 IC 之 ESD 防护电路结构时，此电路结构的 ESD 防护元件的 ESD 特性最好能在 ESD 防护元件制作前先予以测量或测试。ESD 防护元件的 ESD 特性通常以其对 ESD 脉冲的响应来表现。例如，本行技艺中已知若 ESD 防护元件的二次崩溃电流较高，则能耐受较大的 ESD 电流。诸如二次崩溃电流的 ESD 特性可利用传输线(TLP)技术来加以测量。TLP 技术提供与 ESD 电流相同时间长短与相同电流等级的方波脉冲。

然而，习知测试系统以 TLP 技术来进行测量时通常测量两个端点。因此，举例而言若测量 ESD 防护元件如金氧半(MOS)晶体管的汲极与源极，则闸极与基极便和源极连接在一起。由于闸极与基极的 ESD 特性在设计 ESD 防护电路结构时相当重要，因此希望能有可测量 ESD 防护元件的至少三个端点的系统及方法，以获得更多有关 ESD 防护元件的 ESD 特性的信息。

发明内容

因此，本发明的目的在于提供一种 ESD 防护系统及方法的自动传输线脉冲系统来克服习知技术的种种缺失及限制。

下文的实施例将针对部分本发明的目的及优点予以描述，而另一部分的目的及优点则可随本说明书之描述或本发明的实施而得以了解。利用权利要求书中所特别界定出的元件与方法，可实施并达成本发明的种种目的及优点。

为达成上述的优点，依据实施例及说明书中所广义描述的发明目的，本发明提供一种测量半导体元件的静电放电(ESD)特性的系统，包括至少一个产生

ESD 级脉冲的脉冲产生器；半导体元件的第一端点用以接收来自该至少一个脉冲产生器的第一 ESD 级脉冲；半导体元件的第二端点用以相对于第一端点接地；半导体元件的至少一个第三端点用以接收来自该至少一个脉冲产生器的第二 ESD 级脉冲；以及一个资料收集器用以收集半导体元件的 ESD 特性，在上述第一 ESD 级脉冲到达第一端点的同时，上述第二 ESD 级脉冲到达上述至少一个第三端点。。

本发明亦提供一种测量多端点元件的静电放电(ESD)特性的系统，包括一个第一脉冲产生器用以提供第一 ESD 级脉冲；一个第二脉冲产生器用以提供第二 ESD 级脉冲；多端点元件的第一端点连接至第一脉冲产生器以接收第一 ESD 级脉冲；多端点元件的第二端点相对于第一端点接地；多端点组元件的第三端点连接至第二脉冲产生器以接收第二 ESD 级脉冲；以及一个检测器用以检测多端点元件的漏电流，其中当检测器检测出多端点元件有不正常漏电流时决定该多端点元件的 ESD 特性，在上述第一 ESD 级脉冲到达第一端点的同时，上述第二 ESD 级脉冲到达上述第三端点。

本发明亦提供一种测量半导体元件的静电放电(ESD)特性的方法，包括提供至少一个脉冲产生器来产生 ESD 级脉冲；确定半导体元件的第一端点；确定半导体元件的第二端点；确定半导体元件的第三端点；提供一个第一 ESD 级脉冲至半导体元件的第一或第二端点，未接受到第一 ESD 级脉冲的另一端点则相对接地；以及提供一个第二 ESD 级脉冲至半导体元件的至少该第三端点，在上述第一 ESD 级脉冲到达第一或第二端点的同时，上述第二 ESD 级脉冲到达该第三端点。

本发明亦提供一种静电放电(ESD)测试方法，包括提供一个多端点元件：产生至少一个 ESD 级脉冲；将该至少一个 ESD 级脉冲的第一 ESD 级脉冲提供至多端点元件的第一或第二端点，未接受到第一 ESD 级脉冲之另一端点则相对接地；将该至少一个 ESD 级脉冲的第二 ESD 级脉冲提供至多端点元件的至少一个第三端点；于第一与第二 ESD 级脉冲作用下收集多端点元件的 ESD 特性；以及检测多端点元件是否有不正常漏电流，在上述第一 ESD 级脉冲到达第一端点的同时，上述第二 ESD 级脉冲到达上述至少一个第三端点。

本发明的有益效果在于提供了可测量静电放电 ESD 防护元件的至少三个端点的系统和方法，以获得更多有关 ESD 防护元件的 ESD 特性资料。

本说明书如前所揭的一般描述以及下文的详细说明皆仅为例示、解说性质，其用意在于进一步描述本发明。

附图说明

图 1A 为使用闸极驱动技术的习知静电放电(ESD)防护电路结构的电路图；

图 1B 为使用基极驱动技术的习知 ESD 防护电路结构的电路图；

图 2 为本发明实施例之用以测量半导体元件之 ESD 特性的系统示意图；

图 3 为本发明另一实施例之用以测量半导体元件的 ESD 特性的系统示意图；以及

图 4 为本发明实施例的方法流程图。

具体实施方式

本发明的实施例将参阅附图作做详细说明。图中相同或类似的元件尽可能以相同的标号予以表示。

图 2 为本发明实施例之用以测量半导体元件 60 的 ESD 特性的系统 50 的示意图。请参阅图 2，系统 50 包括半导体元件 60 与至少一个脉冲产生器 70。半导体元件 60 为多端点元件，其至少包括第一端点 62、第二端点 64 与第三端点 66。在一实施例中，半导体元件 60 包括金氧半(MOS)晶体管、硅控整流器(SCR)、低电压触发之 SCR 或 LVTSCR、厚层氧化物元件(FOD)或双载子接面晶体管(BJT)。脉冲产生器 70 产生模拟 ESD 的信号。举例而言，脉冲产生器 70 产生与 ESD 电流或电压的发生时间、持续期间及强度相同的方波信号。在一实施例中，脉冲产生器 70 所产生的 ESD 级脉冲其时间宽度约为 2 纳秒(ns)至 500 纳秒。

脉冲产生器 70 详言之可利用传输线脉冲(TLP)产生器来实施。TLP 产生器系由 Intel 公司 T.J. Maloney 与 N. Khurana 在 1985 年 ESD 研讨会中所发表，其论文标为「传输线脉冲技术之电路模型」(Transmission Line Pulsing Techniques for Circuit Modeling)。

在一实施例中，脉冲产生器 70 包括一个 TLP 产生器(图中未示)以及一个偏压源(图中未示)。TLP 产生器提供第一 ESD 级脉冲至半导体元件 60 的第一端点 62 或第二端点 64，而未接受第一 ESD 级脉冲的第一端点 62 或第二端点 64 则相对接地。偏压源提供第二 ESD 级脉冲至半导体元件 60 的第三端点 66。在半导体元件 60 为 MOS 晶体管的实施例中，第一端点 62 与第二端点 64 分别是 MOS 晶体管的汲极与源极，而第三端点 66 则为 MOS 晶体管的闸极或基极。在半导体元件 60 为 SCR 或 LVTSCR 的实施例中，第一端点 62 与第二端点 64 分别是 SCR 或 LVTSCR 的阳极与阴极，而第三端点 66 则为 SCR 或 LVTSCR

的基极或半导体井区。在半导体元件 60 为 BJT 或 FOD 的实施例中，第一端点 62 与第二端点 64 分别是 BJT 或 FOD 的集极与射极，而第三端点 66 则为 BJT 或 FOD 的基极。

在本发明的另一实施例中，偏压源提供第二 ESD 级脉冲至半导体元件 60 的第三与第四端点。在 ESD 防护元件为 MOS 晶体管的实施例中，第二 ESD 级脉冲系施加至 MOS 晶体管的闸极与基极。在 ESD 防护元件为 SCR 或 LVTSCR 的实施例中，第二 ESD 级脉冲系施加至 SCR 或 LVTSCR 的基极与半导体井区。

在又一实施例中，偏压源提供第二 ESD 级脉冲至半导体元件 60 的第五端。在 ESD 防护元件为 LVTSCR 的实施例中，第二 ESD 级脉冲系施加至 LVTSCR 的寄生 MOS 晶体管的闸极。

图 3 为本发明另一实施例的用以测量半导体元件 60 的 ESD 特性的系统 90 的示意方块图。请参阅图 3，系统 90 包括半导体元件 60、开关元件 92、脉冲产生器 70、检测器 94、资料收集器 96 与计算机 98。

在一实施例中，开关元件 92 为一开关阵列，可切换半导体元件 60 对检测器 94 及脉冲产生器的连接。检测器 94 包括电子分析仪(图中未示)，例如惠普公司的 HP4155 分析仪。当开关元件 92 将检测器 94 电连接至半导体元件 60 时，检测器 94 提供一个信号，例如是直流(DC)信号，至半导体元件 60，以检测半导体元件 60 是否有漏电流。若检测器 94 检测出有漏电流，半导体元件 60 即被判定为损毁。若未检测出有漏电流，则将半导体元件 60 的连接切换至脉冲产生器 70 以进行后续的测量。

资料收集器 96，例如为示波器，收集有关半导体元件 60 的 ESD 特性的电压及电流资料。计算机 98 则协调脉冲产生器 70、资料收集器 96 与检测器 94 之间的作业。在图 3 所示的实施例中，资料收集器 96 系电连接至半导体元件 60。而在另一实施例中，资料收集器 96 则电连接至半导体元件 60 与开关元件 92 之间。

本发明因此亦提供一种测量半导体元件 60 的 ESD 特性的方法。请参阅图 2，提供脉冲产生器 70 来产生 ESD 级脉冲。将第一 ESD 级脉冲提供至半导体元件 60 的第一端点 62 或第二端点 64，而未接受第一 ESD 级脉冲的第一端点 62 或第二端点 64 则相对接地。将第二 ESD 级脉冲提供至半导体元件 60 的第

三端点。在一实施例中，系将第二 ESD 级脉冲提供至半导体元件 60 的至少第三或第四端点。在另一实施例中，则将第二 ESD 级脉冲提供至半导体元件 60 的第五端点。

图 4 为本发明实施例的方法流程图。请参阅图 4，在步骤 100，提供一个具有至少第一端点、第二端点与第三端点的半导体元件 60。接着在步骤 102 中检测半导体元件 60 以确定是否有漏电流。如果检测出漏电流，即判定半导体元件 60 已损毁，本方法的流程到此结果。

然而若检测不到漏电流，则在步骤 104 产生 ESD 级脉冲。第一 ESD 级脉冲在步骤 106 施加至半导体元件 60 的第一端点或第二端点，未接受第一 ESD 级脉冲的第一端点或第二端点则相对接地，而第二 ESD 级脉冲则施加至半导体元件 60 的至少第三端点。在一实施例中，第一与第二 ESD 级脉冲由 TLP 脉冲产生器所产生。在另一实施例中，第一 ESD 级脉冲由 TLP 脉冲产生器来产生，而第二 ESD 级脉冲则由偏压源来产生。另依据本发明的实施例，在步骤 106，将第一 ESD 级脉冲施加至第一或第二端点之前可先将第二 ESD 级脉冲施加至第三端点，以协助判断半导体元件 60 的工作点。在又一实施例中，在步骤 106，系大约同时将第二 ESD 级脉冲施加至第三端点，以及将第一 ESD 级脉冲施加至第一或第二端点。

接着在步骤 108 收集在 ESD 级脉冲的作用下，半导体元件 60 的电压、电流等 ESD 特性。然后在步骤 110 检测半导体元件 60 以确定是否有漏电流。若检测出漏电流，本方法的流程便到此为止。若检测不到漏电流，则于步骤 112 增加至少第一或第二 ESD 级脉冲的强度。于是在后续测量中，所产生的 ESD 级脉冲位准会较高。步骤 104、106、108 及 112 会重复进行以测量半导体元件 60 的 ESD 特性，直到检测出漏电流为止。

熟悉本行人士可了解在不脱离本发明的范围及精神下，能对本说明书所揭示的实施例做种种修改与变化。本行人士经由参阅本说明书与实施例，亦可了解本发明尚有其它的实施例。本说明书及其中之实施例仅为范例性质。本发明的实际范围与精神由权利要求书予以界定。

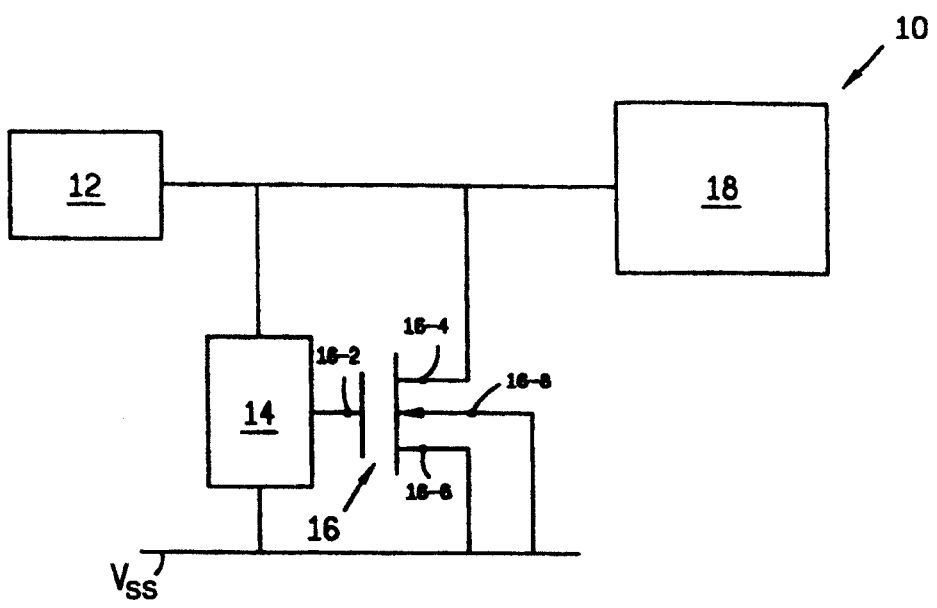


图1A

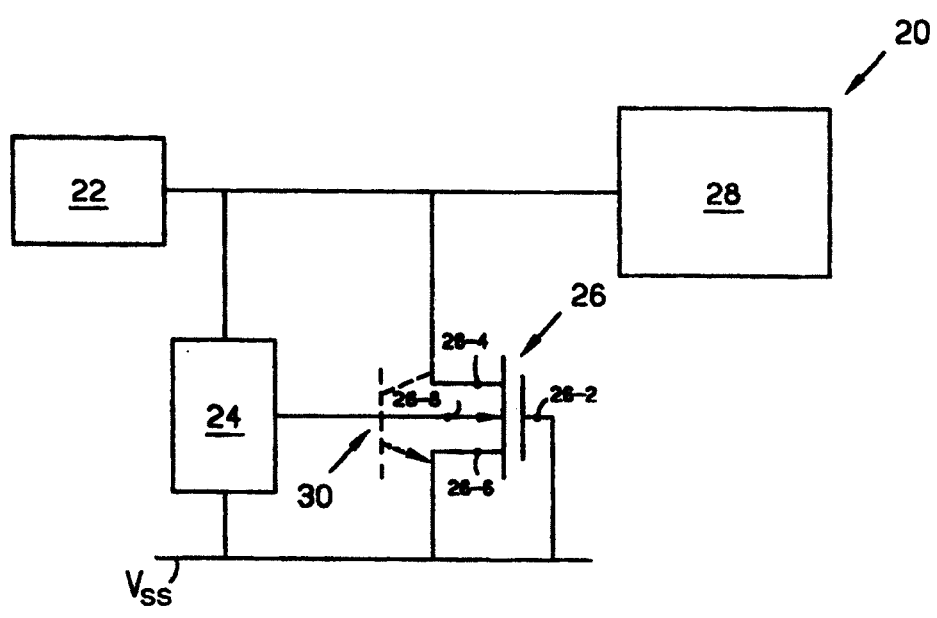


图1B

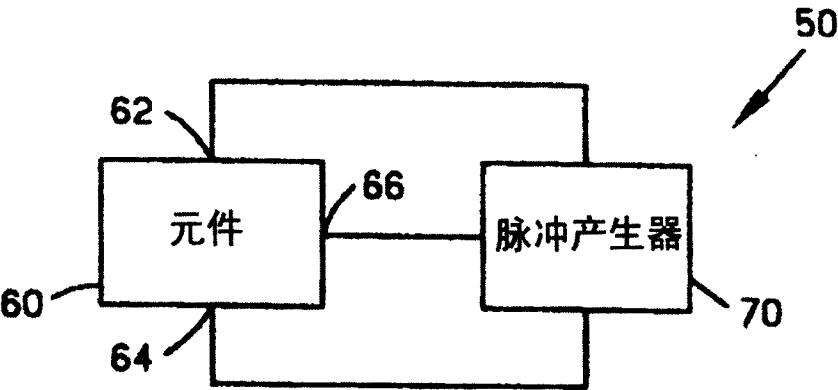


图2

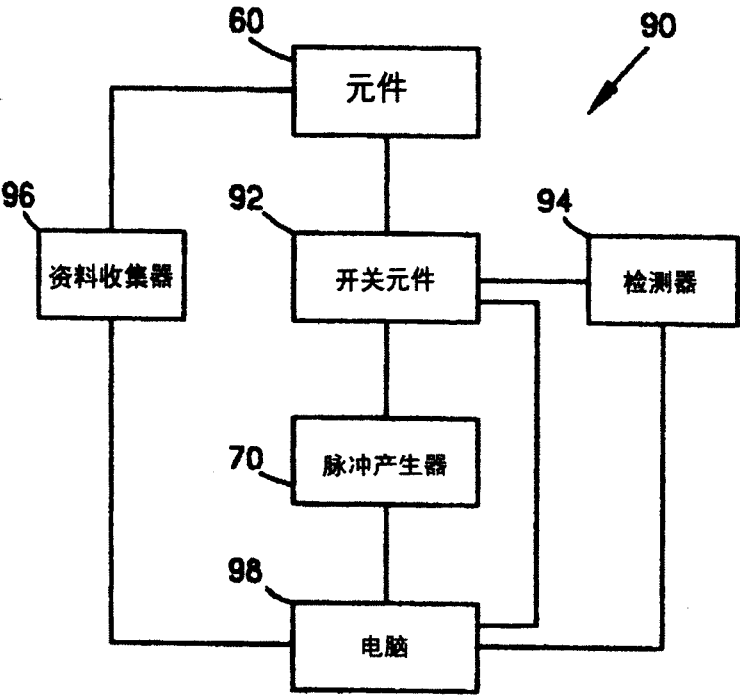


图3

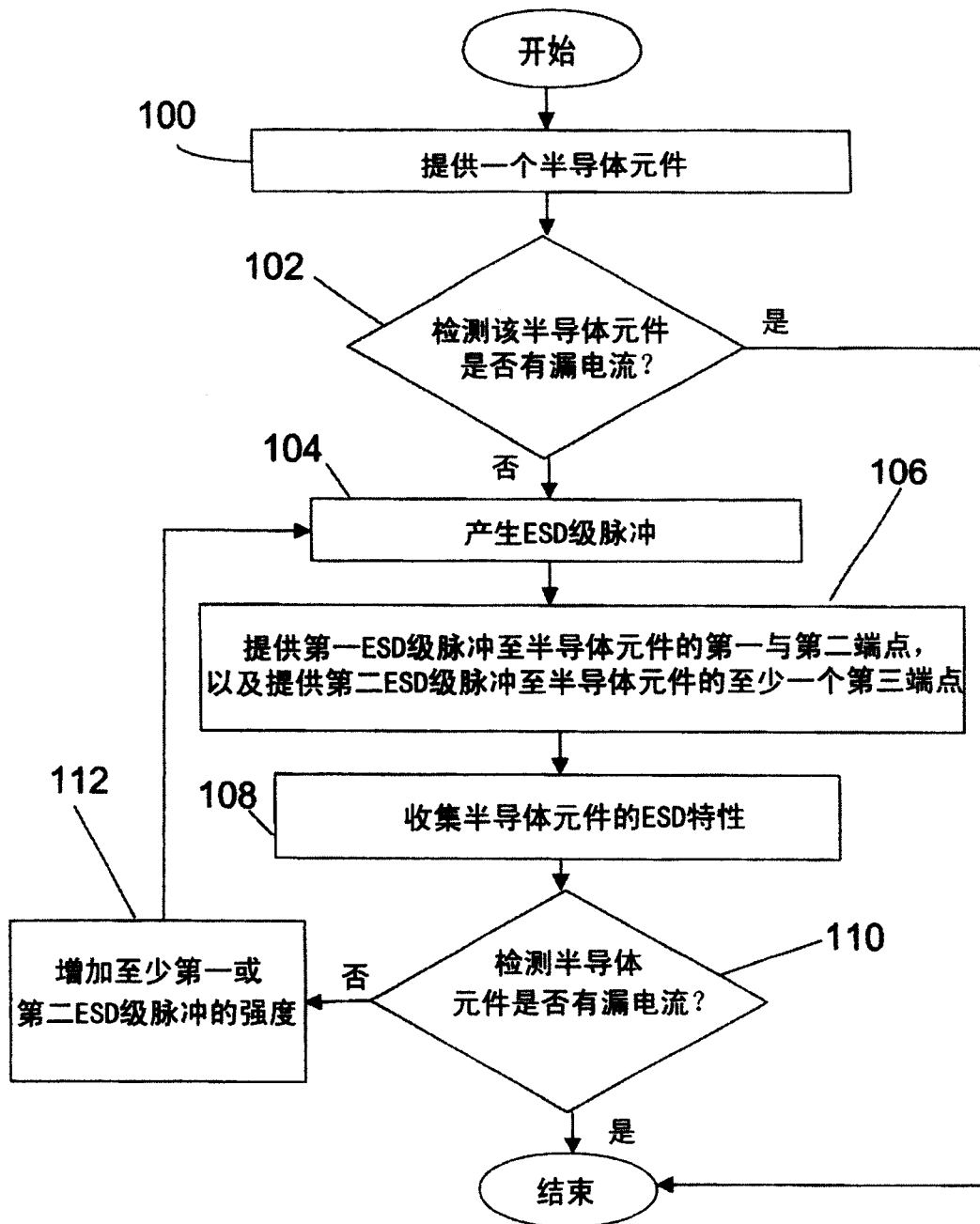


图4